

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In Re Application of: Lai et al.

Group Art Unit: Unassigned

Serial No.: Unassigned

Examiner: Unassigned

Filed: February 18, 2004

Docket No. 252313-1010

For: **Computer System and Memory Control Method Thereof**

**CLAIM OF PRIORITY TO AND**  
**SUBMISSION OF CERTIFIED COPY OF REPUBLIC OF CHINA APPLICATION**  
**PURSUANT TO 35 U.S.C. §119**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, Virginia 22313-1450


Sir:

In regard to the above-identified pending patent application and in accordance with 35 U.S.C. §119, Applicant hereby claims priority to and the benefit of the filing date of Republic of China patent application entitled, "**Computer System and Memory Control Method Thereof**", filed March 7, 2003, and assigned serial number 92104995. Further pursuant to 35 U.S.C. §119, enclosed is a certified copy of the Republic of China patent application

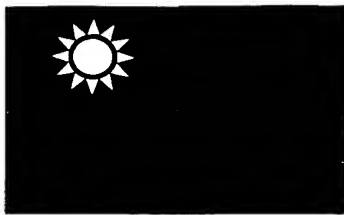
Respectfully Submitted,

**THOMAS, KAYDEN, HORSTEMEYER  
& RISLEY, L.L.P.**

By:

  
**Daniel R. McClure, Reg. No. 38,962**

100 Galleria Parkway, Suite 1750  
Atlanta, Georgia 30339  
770-933-9500



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder：

申 請 日：西元 2003 年 03 月 07 日  
Application Date

申 請 案 號：092104995  
Application No.

申 請 人：緯創資通股份有限公司  
Applicant(s)

局 長  
Director General

蔡 練 生

發文日期：西元 2003 年 4 月 29 日  
Issue Date

發文字號：09220417690  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

# 發明專利說明書

一、 發明名稱	中 文	當記憶體不穩定仍維持系統穩定度之電腦系統及記憶體控制方法
	英 文	
二、 發明人 (共7人)	姓 名 (中文)	1. 賴浚益 2. 臺福源 3. 孫寶琦
	姓 名 (英文)	1. Lai, Chun-Yi 2. 3.
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中 文)	1. 台北縣汐止市新台五路一段八十八號二十一樓 2. 台北縣汐止市新台五路一段八十八號二十一樓 3. 台北縣汐止市新台五路一段八十八號二十一樓
	住居所 (英 文)	1. 2. 3.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 緯創資通股份有限公司
	名稱或 姓 名 (英文)	1. Wistron Corporation
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台北縣汐止市新台五路一段八十八號二十一樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1.
	代表人 (中文)	1. 林憲銘
	代表人 (英文)	1. Simon Lin



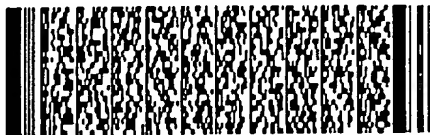
0636\_9566TWE(N1):PMHQ\_CS\_0122TWXY:JOANNE.prd

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共7人)	姓 名 (中文)	4. 彭國榮 5. 張汎澄 6. 林鴻琪
	姓 名 (英文)	4. 5. 6.
	國 籍 (中英文)	4. 中華民國 TW 5. 中華民國 TW 6. 中華民國 TW
	住居所 (中 文)	4. 台北縣汐止市新台五路一段八十八號二十一樓 5. 台北縣汐止市新台五路一段八十八號二十一樓 6. 台北縣汐止市新台五路一段八十八號二十一樓
	住居所 (英 文)	4. 5. 6.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

# 發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共7人)	姓名 (中文)	7. 張遠浩
	姓名 (英文)	7.
	國籍 (中英文)	7. 中華民國 TW
	住居所 (中文)	7. 台北縣汐止市新台五路一段八十八號二十一樓
	住居所 (英文)	7.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：當記憶體不穩定仍維持系統穩定度之電腦系統及記憶體控制方法)

一種當記憶體不穩定仍維持系統穩定度之電腦系統及記憶體控制方法，上述電腦系統將資料同時儲存於複數記憶模組中，當其中一記憶模組發生無法修復之錯誤或是發生錯誤的次數達一預設值時，則電腦系統切換到另一存有相同資料之記憶模組進行讀取動作；而記憶體控制方法亦一併揭露。

伍、(一)、本案代表圖為：第\_\_\_\_2\_\_\_\_圖

(二)、本案代表圖之元件代表符號簡單說明：

11 ~ 中央處理器；

21 ~ 記憶體控制器；

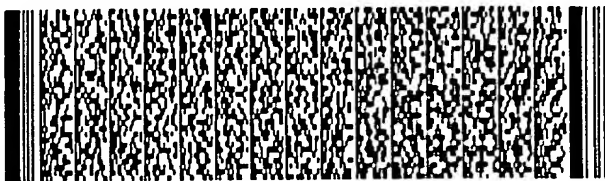
13 ~ 系統中斷裝置；

M1~Mk+1 ~ 記憶模組；

22 ~ 一般輸出/入裝置；

23a~23n ~ 記憶映射單元。

陸、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

### 【發明所屬之技術領域】

本發明係有關於一種電腦系統，特別係有關於一種當記憶體不穩定時，仍維持系統穩定度之電腦系統，其記憶體控制方法亦一併揭露。

### 【先前技術】

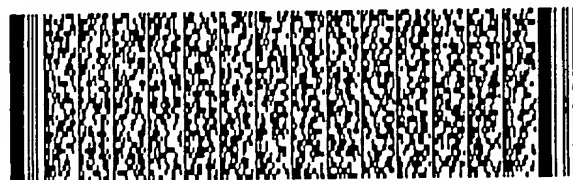
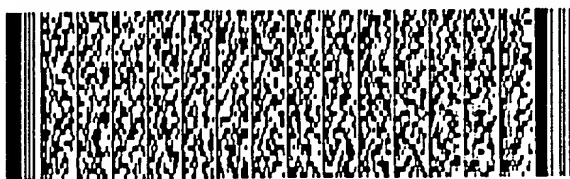
第1圖顯示習知電腦系統之架構圖。如圖所示，習知控制裝置，包括：一中央處理器11、記憶體控制器12、系統中斷裝置13以及記憶模組M1~Mk+1；其中，記憶模組M1~Mk+1係由記憶體控制器12所控制；當記憶體控制器12偵測出ECC錯誤(Error Correction Code)時，記憶體控制器12會修復錯誤，並致能系統中斷裝置13，使其送出SMI信號予中央處理器11，使中央處理器11進入系統服務程式(system management mode; SMM)後，記錄發生ECC錯誤之記憶模組的位置。

但伺服器及工作站的運用中，其系統常需要長時間的連續運算，不能間斷或關機；產生ECC錯誤(Error Correction Code)時，常是記憶模組開始不穩定的前兆；若記憶模組發生無法修復之ECC錯誤時，將造成運算資料錯誤或是系統的當機。

因此，習知之記憶模組控制裝置無法隔離不穩定之記憶模組，進而造成嚴重的影響，如：當機。

### 【發明內容】

有鑑於此，本發明主要目的係為，提供一種電腦系統，當電腦系統之記憶體不穩定時，仍維持系統穩定度。





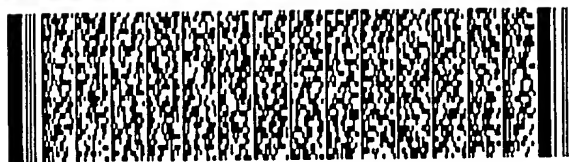
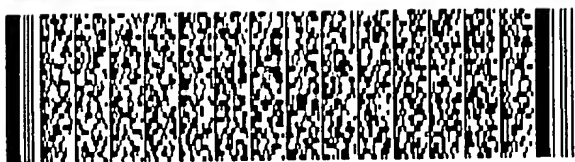
## 五、發明說明 (2)

另外，本發明另一目的為，提供一種記憶體控制方法，將資料同時存入複數記憶模組，但只讀取其中個記憶模組之資料，當所讀取之記憶模組發生之讀取錯誤大於一預設值或是發生無法修復之錯誤，則將讀取動作切換到另一記憶模組中。

為達到上述目的，本發明提出一種電腦系統，當電腦系統之記憶體不穩定時，仍維持系統穩定度，該電腦系統，包括：一記憶體控制器，用以偵測及控制記憶模組之運作；至少一記憶映射單元，每一記憶映射單元各自控制複數記憶模組(M1~Mn)，當在一記憶體寫入週期時，將資料同時寫入記憶模組(M1~Mn)；當在記憶體讀取週期時，致能記憶模組  $M_i(1 \leq i \leq n)$  以讀取資料，記憶模組(M1~Mn)具有相同記憶位址；其中，在一記憶體讀取週期中，當記憶體控制器偵測出記憶模組  $M_i$  發生讀取錯誤時，則接收一錯誤碼控制信號，使記憶映射單元禁能記憶模組  $M_i$  且致能記憶模組  $M_j(1 \leq j \leq n \text{ 且 } j \neq i)$ 。

在記憶體讀取週期時，記憶體控制器偵測出記憶模組  $M_i$  發生無法修復之錯誤或是記憶模組  $M_i$  所發生之錯誤達到預設值，則記憶映射單元將讀取動作切換至記憶模組  $M_i$  中進行。

為達上述目的，本發明提出一種記憶體控制方法，適用於一電腦系統，包括下列步驟：提供複數記憶模組群，每一記憶模組群包括複數記憶模組(M1~Mn)；令每一



### 五、發明說明 (3)

記憶模組群中之所有記憶模組(M1~Mn)具有相同之定址位址；在一記憶體寫入週期中，對一寫入位址所對應之記憶模組(M1~Mn)，同時進行資料寫入；在一記憶體讀取週期中，僅致能對應一讀取位址之記憶模組  $M_i(1 \leq i \leq n)$ ，以進行資料讀取；

其中，當電腦系統偵測到記憶模組  $M_i$  發生讀取漏失時，則選擇致能對應該讀取位址之記憶模組

$M_j(1 \leq j \leq n \text{ 且 } j \neq i)$ ，以進行資料讀取。

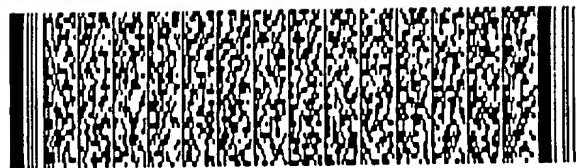
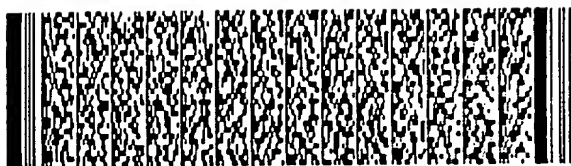
而讀取漏失可分為：當記憶模組  $M_i$  發生無法修復之錯誤或是記憶模組  $M_i$  錯誤發生次數達一預設值。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉出較佳實施例，並配合所附圖式，作詳細說明如下：

#### 【實施方式】

本發明揭露一種電腦系統，當電腦系統之記憶體不穩定時，仍維持系統穩定度，包括：一記憶體控制器，用以偵測及控制記憶模組之運作；至少一記憶映射單元，每一記憶映射單元各自控制複數記憶模組(M1~Mn)，當在一記憶體寫入週期時，將資料同時寫入記憶模組(M1~Mn)；當在記憶體讀取週期時，致能記憶模組  $M_i(1 \leq i \leq n)$  以讀取資料，記憶模組(M1~Mn)具有相同記憶位址。

其中，在一記憶體讀取週期中，當記憶體控制器偵測出記憶模組  $M_i$  發生讀取錯誤時，則接收一錯誤碼控制信



#### 五、發明說明 (4)

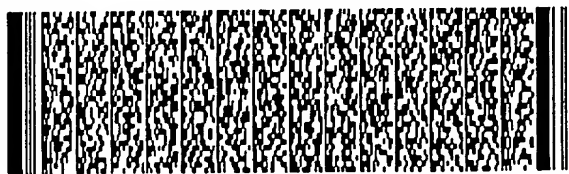
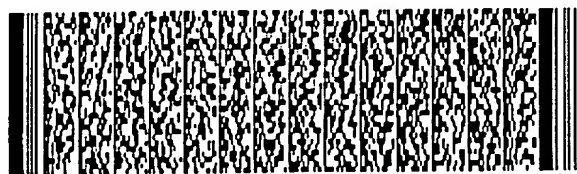
號，使記憶映射單元禁能記憶模組 $M_i$ 且致能記憶模組 $M_j(1 \leq j \leq n \text{ 且 } j \neq i)$ 。

由上述可知，本發明之記憶映射單元的數目可為一至多個，而每個記憶映射單元可控制複數記憶模組，為方便解釋本發明之動作原理，以下將以複數記憶映射單元，而每一個記憶映射單元均控制二個記憶模組為例，加以說明本發明之電路架構及動作流程。

第2圖顯示本發明第一實施例之電腦系統架構圖。如圖所示，包括：一中央處理器11；一記憶體控制器21，用以偵測記憶模組之讀取錯誤；一系統中斷裝置13，當記憶體控制器21偵測到記憶模組發生讀取錯誤時，系統中斷裝置13送出一中斷信號予中央處理器11，使電腦系統進入系統服務程式後，才觸發錯誤碼控制信號 $ECC\_CTR[a \cdots n]$ ，在此實施例中，錯誤碼控制信號 $ECC\_CTR[a \cdots n]$ 係由一般輸出／入裝置22所輸出；以及

複數記憶映射單元 $23a \sim 23n$ ，每一該記憶映射單元 $23a \sim 23n$ 各自控制一第一及第二記憶模組（亦即記憶映射單元 $23a$ 控制記憶模組 $M_1$ 、 $M_2$ ；記憶映射單元 $23b$ 控制記憶模組 $M_3$ 、 $M_4$ ； $\cdots$ ；記憶映射單元 $23n$ 控制記憶模組 $M_k$ 、 $M_{k+1}$ ），並在記憶體寫入週期中，將資料同時寫入具有相同記憶位址之兩記憶模組中，在一記憶體讀取週期中，致能該其中一記憶模組以讀取資料。

其中，當記憶體控制器21偵測出某一記憶映射單元之



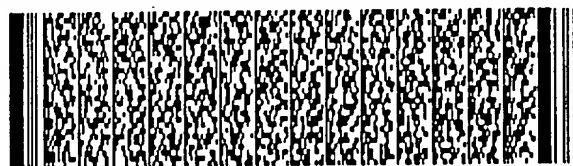
## 五、發明說明 (5)

第一記憶模組發生讀取錯誤時，則記憶映射單元23a~23n禁能發生讀取錯誤之第一記憶模組且致能第二記憶模組。

以下將以記憶映射單元23a為例，說明其動作方式：首先，記憶映射單元23a接收記憶體控制器21所輸出之列選通信號( $\overline{RAS}$ )、行選通信號( $\overline{CAS}$ )、寫入致能信號( $\overline{WE}$ )、以及一般輸出／入裝置22所輸出之錯誤碼控制信號ECC\_CTRL(a)及晶片控制信號CHIP\_CTRL，以控制記憶模組M1、M2。

晶片控制信號CHIP\_CTRL控制在電腦系統完成正常開機程序後，用以啟動電腦系統記憶映射程序，使第一及第二記憶模組具有相同之記憶位址；當錯誤碼控制信號ECC\_CTRL(a)禁能時，表示正由第一記憶模組M1進行讀取動作；當錯誤碼控制信號ECC\_CTRL(a)致能時，表示第一記憶模組M1發生讀取錯誤，電腦系統讀取改由第二記憶模組M2。

第3圖顯示本發明概念下，所設計的記憶映射單元之電路圖。包括：第一AND閘30，具有一第一、第二、第三、第四、第五及第六輸入端，其第三輸入端接收列選通信號 $\overline{RAS}$ 、其第四輸入端接收寫入致能信號 $\overline{WE}$ 、其第六輸入端接收錯誤碼控制信號ECC\_CTRL(a)；第一反相器41，具有一輸入端耦接晶片控制信號CHIP\_CTRL，一輸出端耦接第一AND閘30之第一輸入端；第二反相器42，具有一輸入端耦接第一致能信號 $\overline{CS1}$ ，一輸出端耦接第一AND閘30之第二



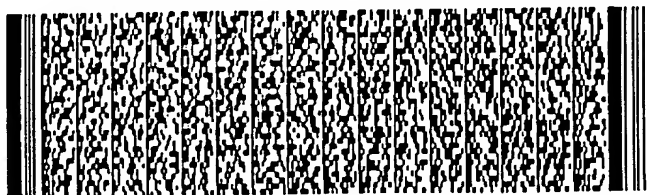
#### 五、發明說明 (6)

輸入端；第三反相器43，具有一輸入端耦接行選通信號  $\overline{CAS}$ ，一輸出端耦接該第一AND閘30之第四輸入端；

第二AND閘31，具有一第一、第二、第三、第四、第五及第六輸入端，其第三輸入端接收列選通信號  $\overline{RAS}$ 、其第四輸入端接收寫入致能信號  $\overline{WE}$ ；第四反相器44，具有一輸入端耦接晶片控制信號CHIP\_CTR，一輸出端耦接第二AND閘31之第一輸入端；第五反相器45，具有一輸入端耦接一第二致能信號  $\overline{CS2}$ ，一輸出端耦接第二AND閘31之第二輸入端；第六反相器46，具有一輸入端耦接行選通信號  $\overline{CAS}$ ，一輸出端耦接第二AND閘31之第四輸入端；第七反相器47，具有一輸入端耦接錯誤碼控制信號ECC\_CTR(a)，一輸出端耦接第二AND閘31之第六輸入端；

第一開關36，具有一輸入端耦接第一致能信號  $\overline{CS1}$ ，一輸出端及一控制端；第二開關37，具有一輸入端耦接該第二致能信號  $\overline{CS2}$ 、一輸出端耦接第一開關36之輸出端及一控制端耦接晶片致能信號CHIP\_CTR；第八反相器48，具有一輸入端耦接晶片致能信號CHIP\_CTR，一輸出端耦接第一開關36之控制端；

第一OR閘38，具有一第一輸入端耦接第一致能信號  $\overline{CS1}$ ，一第二輸入端耦接第一AND閘30之輸出端，一輸出端用以致能記憶模組M1；第二OR閘39，具有一第一輸入端耦接第一開關36之輸出端，一第二輸入端耦接第二AND閘31



## 五、發明說明 (7)

之輸出端，一輸出端用以致能記憶模組M2。

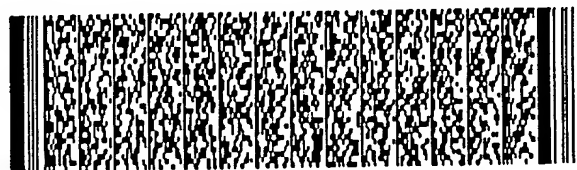
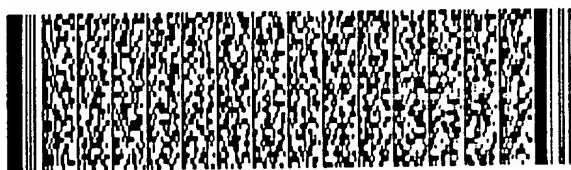
當電腦系統一開機時，晶片控制信號CHIP\_CTR被致能，則第一及第二OR閘38、39會送出致能信號 $\overline{CS01}$ 和 $\overline{CS02}$ 予記憶模組M1、M2；接著將晶片控制信號CHIP\_CTR禁能時，則記憶模組M1、M2具有相同之記憶位址，致能信號 $\overline{CS01}$ 和 $\overline{CS02}$ 均由第一致能信號 $\overline{CS1}$ 控制。

假設一開始並未出現讀取錯誤，則錯誤碼控制信號ECC\_CTR(a)未被致能，且記憶體控制器21所輸出之

$\overline{RAS}$ 、 $\overline{CAS}$ 、 $\overline{WE}$  開始動作，則第二OR閘39所輸出之致能信號 $\overline{CS02}$ 等於致能信號 $\overline{CS01}$ ，表示資料會同時存入記憶模組M1和M2，但只讀取記憶模組M1；當錯誤碼控制信號ECC\_CTR(a)被致能時，表示記憶模組M1發生讀取錯誤，此時，第一OR閘38禁能記憶模組M1，第二OR閘39致能記憶模組M2，改由記憶模組M2進行讀取動作。

另外，發生讀取錯誤的原因有二：一是記憶模組M1發生無法修復之ECC錯誤時，另一是記憶模組M1所發生的ECC錯誤大於一預設值(表示記憶模組M1已不穩)。在此兩種情況下，記憶體控制器21均會觸發錯誤碼控制信號ECC\_CTR(a)。

第4圖顯示本發明於記憶體寫入週期之時序圖。如圖所示，在記憶體寫入週期時，記憶模組M1、M2之致能信號 $\overline{CS01}$ 和 $\overline{CS02}$ 同時被致能，使得資料DATA同時寫入二記憶模組。



## 五、發明說明 (8)

第5圖顯示本發明於記憶體讀取週期之時序圖。如圖所示，在記憶體寫入週期時，記憶模組M2之致能信號 $\overline{CS02}$ 並未被致能(虛線所示)，故電腦系統僅由記憶模組M1中讀取資料DATA。

第6圖顯示本發明第二實施例之電腦系統架構圖。與本發明第一實施例不同之處在於，第二實施例將原本由一般輸出／入裝置22所輸出之錯誤碼控制信號ECC\_CTR[a...n]改由記憶體控制器21直接輸出。

記憶模組M1發生無法修復之ECC錯誤時，記憶體控制器21清除剛從記憶體讀入的資料，輸出錯誤碼控制信號ECC\_CTR(a)切換執行讀取動作的記憶體模組；如此不需再藉由中斷程式的執行來切換，執行讀取動作的記憶體模組。

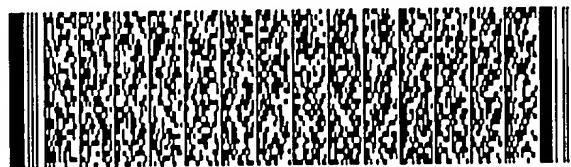
第7圖顯示本發明記憶體控制方法之流程圖。適用於一電腦系統，包括下列步驟：

一種記憶體控制方法，適用於一電腦系統，包括下列步驟：

步驟100：提供複數記憶模組對，每一記憶模組對包括一第一記憶模組和一第二記憶模組，然後執行步驟110。

步驟110：令每一對記憶模組中之該第一和第二記憶模組具有相同之定址位址；然後執行步驟120。

步驟120：在一記憶體寫入週期中，對一寫入位址所



#### 五、發明說明 (9)

對應之第一和第二記憶模組，同時進行資料寫入，然後執行步驟130。

步驟130：在一記憶體讀取週期中，僅致能對應一讀取位址之第一記憶模組，以進行資料讀取，然後執行步驟140。

步驟140：電腦系統判斷第一記憶模組是否出現讀取漏失，若是，則執行步驟160，若否，則執行步驟150。

步驟150：繼續讀取第一記憶模組，然後執行步驟140，再繼續判斷第一記憶模組是否出現讀取錯誤。

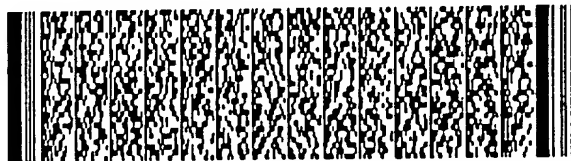
步驟160：電腦系統選擇致能對應讀取位址之第二記憶模組，以進行資料讀取，然後執行步驟140。

綜上所述，本發明有以下幾點優於第1圖所示之習知技術：

一、本發明利用記憶體的控制信號以隔離不穩定的記憶模組，當記憶模組發生多次的ECC錯誤或發生無法修復之ECC錯誤時，電腦系統能立即隔離不穩定之記憶模組。

二、由於電腦系統切換新的記憶模組，因而延長電腦系統不關機時間。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。





## 圖式簡單說明

第1圖顯示習知電腦系統架構圖。

第2圖顯示本發明第一實施例之電腦系統架構圖。

第3圖顯示本發明記憶映射單元之電路圖。

第4圖顯示本發明於記憶體寫入週期之時序圖。

第5圖顯示本發明於記憶體讀取週期之時序圖。

第6圖顯示本發明第二實施例之電腦系統架構圖。

第7圖顯示本發明記憶體控制方法之流程圖。

### 【符號說明】

11 ~ 中央處理器；

12、21 ~ 記憶體控制器；

13 ~ 系統中斷裝置；

M1~Mk+1 ~ 記憶模組；

22 ~ 一般輸出/入裝置；

23a~23n ~ 記憶映射單元；

30 ~ 第一AND閘；

31 ~ 第二AND閘；

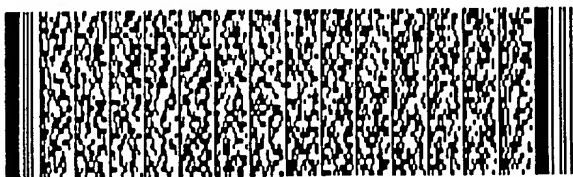
41~48 ~ 第一~第八反相器；

36 ~ 第一開關；

37 ~ 第二開關；

38 ~ 第一OR閘；

39 ~ 第二OR閘。



## 六、申請專利範圍

1. 一種電腦系統，當該電腦系統之記憶體不穩定時，仍維持系統穩定度，該電腦系統，包括：

一記憶體控制器，用以偵測及控制記憶模組之運作；

至少一記憶映射單元，每一該記憶映射單元各自控制複數記憶模組(M1~Mn)，並且接收一錯誤碼控制信號，當在一記憶體寫入週期時，將資料同時寫入該等記憶模組(M1~Mn)；當在記憶體讀取週期時，致能該記憶模組

$M_i(1 \leq i \leq n)$  以讀取資料，該等記憶模組(M1~Mn)具有相同記憶位址；

其中，在一記憶體讀取週期中，當該記憶體控制器偵測出該記憶模組 $M_i$ 發生讀取錯誤時，則觸發該錯誤碼控制信號，使該記憶映射單元禁能該記憶模組 $M_i$ 且致能該記憶模組  $M_j(1 \leq j \leq n \text{ 且 } j \neq i)$ 。

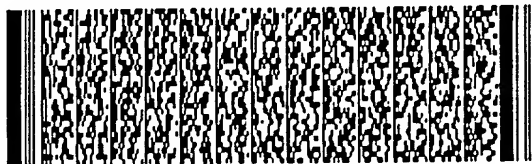
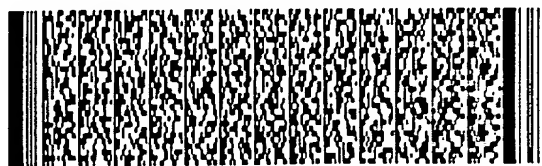
2. 如申請專利範圍第1項所述之電腦系統，更包括：

一中央處理器；

一系統中斷裝置，當該記憶體控制器偵測出讀取錯誤時，系統中斷裝置送出一中斷信號給該中央處理器，用以中斷該電腦系統，然後該錯誤碼控制信號才被觸發。

3. 如申請專利範圍第2項所述之電腦系統，其中，該等記憶映射單元各自接收其所對應之錯誤碼控制信號，用以進行上述記憶模組間之切換。

4. 如申請專利範圍第3項所述之電腦系統，其中，當該記憶體控制器偵測出該記憶模組 $M_i$ 在該記憶體讀取週期



#### 六、申請專利範圍

中，發生無法修復之錯誤時，則該記憶體控制器判斷該記憶體模組Mi發生讀取錯誤。

5. 如申請專利範圍第3項所述之電腦系統，其中，在該記憶體讀取週期中，該記憶體模組Mi發生錯誤達一預設值時，則該記憶體控制器判斷該記憶體模組Mi發生讀取錯誤。

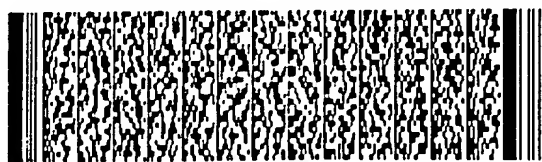
6. 如申請專利範圍第3項所述之電腦系統，其中，當該等記憶映射單元僅控制一第一及第二記憶體模組時，當該記憶體在寫入週期時，則將資料同時寫入該第一及第二記憶體模組；當該記憶體在讀取週期時，則致能該第一記憶體模組以讀取資料，該第一及第二記憶體模組具有相同記憶位址；

其中，在該記憶體讀取週期中，當該記憶體控制器偵測出該第一記憶體模組發生讀取錯誤時，則觸發該錯誤碼控制信號，使該記憶映射單元禁能該第一記憶體模組且致能該第二記憶體模組。

7. 如申請專利範圍第6項所述之電腦系統，其中，每一該記憶映射單元，包括：

一第一AND閘，具有一第一、第二、第三、第四、第五及第六輸入端，其第三輸入端耦接一列選通信號，其第五輸入端耦接一寫入致能信號，其第六輸入端耦接該錯誤碼控制信號；

一第一反相器，具有一輸入端耦接一晶片控制信號，一輸出端耦接該第一AND閘之第一輸入端；



## 六、申請專利範圍

一 第二反相器，具有一輸入端耦接一第一致能信號，一輸出端耦接該第一AND閘之第二輸入端；

一 第三反相器，具有一輸入端耦接一行選通信號，一輸出端耦接該第一AND閘之第四輸入端；

一 第二AND閘，具有一第一、第二、第三、第四、第五及第六輸入端，其第三輸入端接收該列選通信號、其第五輸入端接收該寫入致能信號；

一 第四反相器，具有一輸入端耦接該晶片控制信號，一輸出端耦接該第二AND閘之第一輸入端；

一 第五反相器，具有一輸入端耦接一第二致能信號，一輸出端耦接該第二AND閘之第二輸入端；

一 第六反相器，具有一輸入端耦接一行選通信號，一輸出端耦接該第二AND閘之第四輸入端；

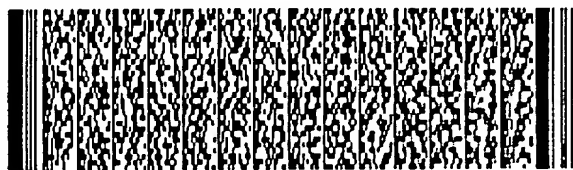
一 第七反相器，具有一輸入端耦接該錯誤碼控制信號，一輸出端耦接該第二AND閘之第六輸入端；

一 第一開關，具有一輸入端耦接該第一致能信號，一輸出端及一控制端；

一 第二開關，具有一輸入端耦接該第二致能信號、一輸出端耦接該第一開關之輸出端及一控制端耦接該晶片致能信號；

一 第八反相器，具有一輸入端耦接該晶片致能信號，一輸出端耦接該第一開關之控制端；

一 第一OR閘，具有一第一輸入端耦接該第一致能信號，一第二輸入端耦接該第一AND閘之輸出端，一輸出端



## 六、申請專利範圍

用以致能該第一記憶模組；

一第二OR閘，具有一第一輸入端耦接該第一開關之輸出端，一第二輸入端耦接該第二AND閘之輸出端，一輸出端用以致能該第二記憶模組。

8. 如申請專利範圍第7項所述之電腦系統，其中，該晶片控制信號用以使該第一及第二記憶模組具有相同記憶位址。

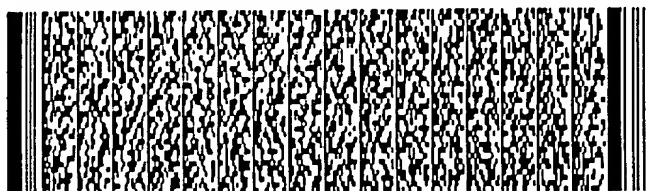
9. 如申請專利範圍第7項所述之電腦系統，其中，當該記憶體控制器偵測出該第一記憶模組在該記憶體讀取週期中，發生無法修復之錯誤時，則該記憶體控制器判斷該第一記憶模組發生讀取錯誤。

10. 如申請專利範圍第8項所述之電腦系統，其中，在該記憶體讀取週期中，該第一記憶模組發生錯誤達一預設值時，則該記憶體控制器判斷該第一記憶模組發生讀取錯誤。

11. 如申請專利範圍第9項所述之電腦系統，其中，該晶片控制信號及該等錯誤碼控制信號係由該電腦系統之一個一般輸出輸入裝置所輸出；該第一、第二致能信號、列選通信號以及行選通信號係由該記憶體控制器所輸出。

12. 如申請專利範圍第9項所述之電腦系統，其中，該晶片控制信號係由該一般輸出輸入裝置所輸出；該等錯誤碼控制信號、第一、第二致能信號、列選通信號以及行選通信號係由該記憶體控制器所輸出。

13. 如申請專利範圍第10項所述之電腦系統，其中，



#### 六、申請專利範圍

該等錯誤碼控制信號係由該電腦系統之一個一般輸出輸入裝置所輸出；該第一、第二致能信號、列選通信號以及行選通信號係由該記憶體控制器所輸出。

14. 如申請專利範圍第10所述之電腦系統，其中，該晶片控制信號係由該一般輸出輸入裝置所輸出；該等錯誤碼控制信號、第一、第二致能信號、列選通信號以及行選通信號係由該記憶體控制器所輸出。

15. 一種記憶體控制方法，適用於一電腦系統，包括下列步驟：

提供至少一記憶映射單元，每一記憶映射單元控制一記憶模組群，每一記憶模組群包括複數記憶模組(M1~Mn)；

令每一記憶模組群中之所有記憶模組(M1~Mn)具有相同之定址位址；

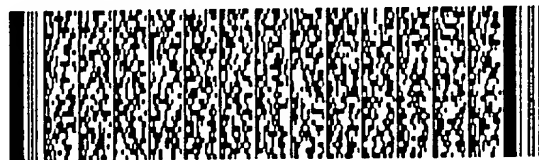
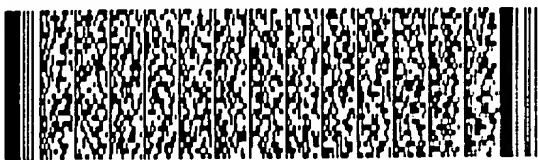
在一記憶體寫入週期中，對一寫入位址所對應之該記憶模組(M1~Mn)，同時進行資料寫入；

在一記憶體讀取週期中，僅致能對應一讀取位址之該記憶模組  $M_i(1 \leq i \leq n)$ ，以進行資料讀取；

其中，當該電腦系統偵測到該記憶模組  $M_i$  發生讀取漏失時，則致能該記憶映射單元所接收之一錯誤碼控制信號，用以選擇致能對應該讀取位址之記憶模組

$M_j(1 \leq j \leq n \text{ 且 } j \neq i)$ ，以進行資料讀取。

16. 如申請專利範圍第15項所述之記憶映射方法，其



## 六、申請專利範圍

中，當該記憶模組Mi發生無法修復之錯誤時，則該電腦系統判斷該記憶模組Mi發生讀取漏失。

17. 如申請專利範圍第15項所述之記憶映射方法，其中，當該記憶模組Mi發生錯誤次數達一預設值時，則該電腦系統判斷該記憶模組Mi發生讀取漏失。

18. 一種記憶體控制方法，適用於一電腦系統，包括下列步驟：

提供至少一記憶映射單元，每一記憶映射單元控制一記憶模組對，而每一記憶模組對包括一第一記憶模組和一第二記憶模組；

令每一對記憶模組中之該第一和第二記憶模組具有相同之定址位址；

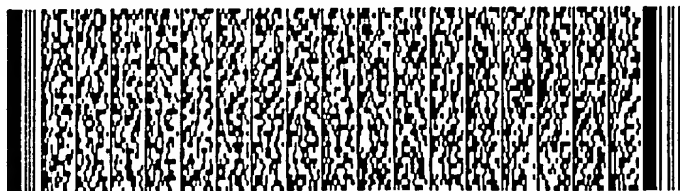
在一記憶體寫入週期中，對一寫入位址所對應之該第一和第二記憶模組，同時進行資料寫入；

在一記憶體讀取週期中，僅致能對應一讀取位址之該第一記憶模組，以進行資料讀取；

其中，當該電腦系統偵測到該第一記憶模組發生讀取漏失時，則致能該記憶映射單元所接收之一錯誤碼控制信號，用以選擇致能對應該讀取位址之該第二記憶模組，以進行資料讀取。

19. 如申請專利範圍第18項所述之記憶映射方法，其中，當該第一記憶模組發生無法修復之錯誤時，則該電腦系統判斷該第一記憶模組發生讀取漏失。

20. 如申請專利範圍第18項所述之記憶映射方法，其

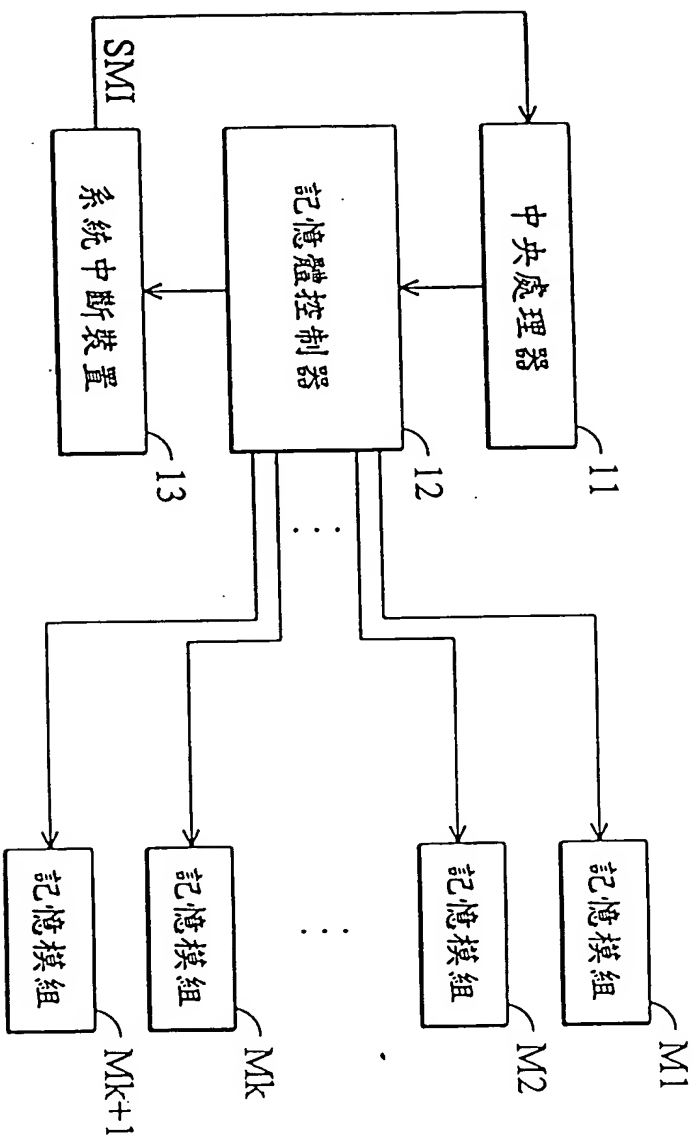


#### 六、申請專利範圍

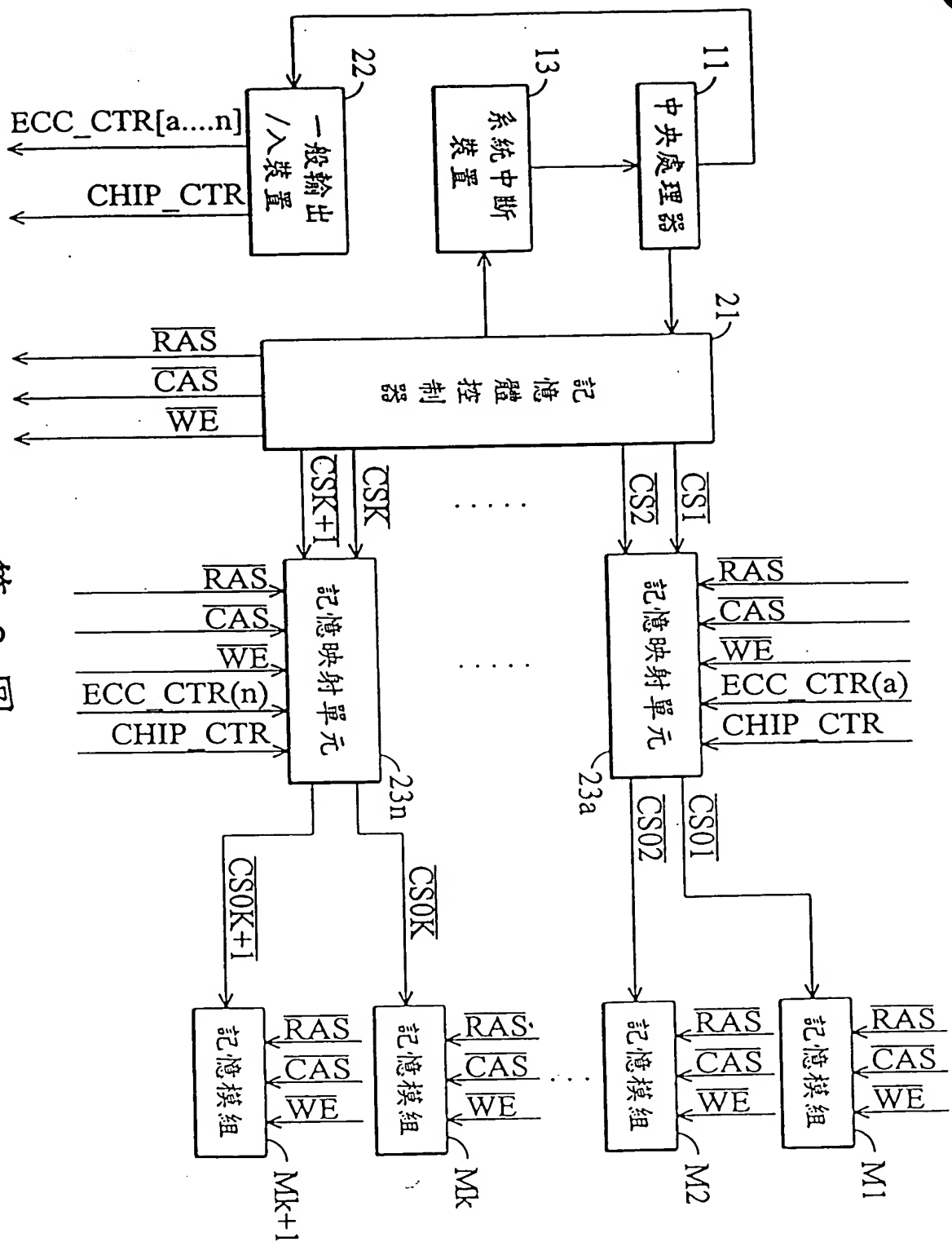
中，當該第一記憶模組發生錯誤次數達一預設值時，則該電腦系統判斷該第一記憶模組發生讀取漏失。



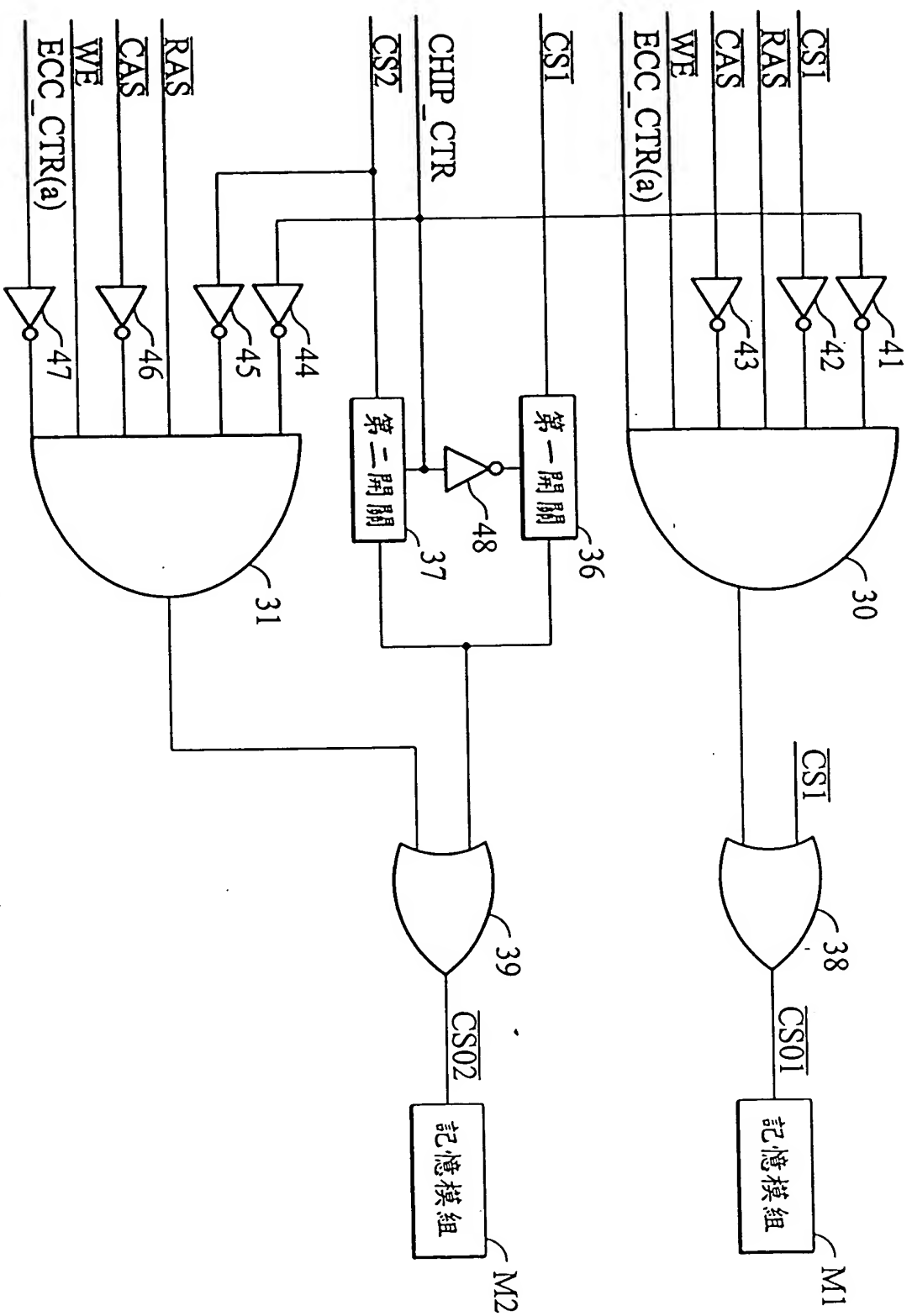




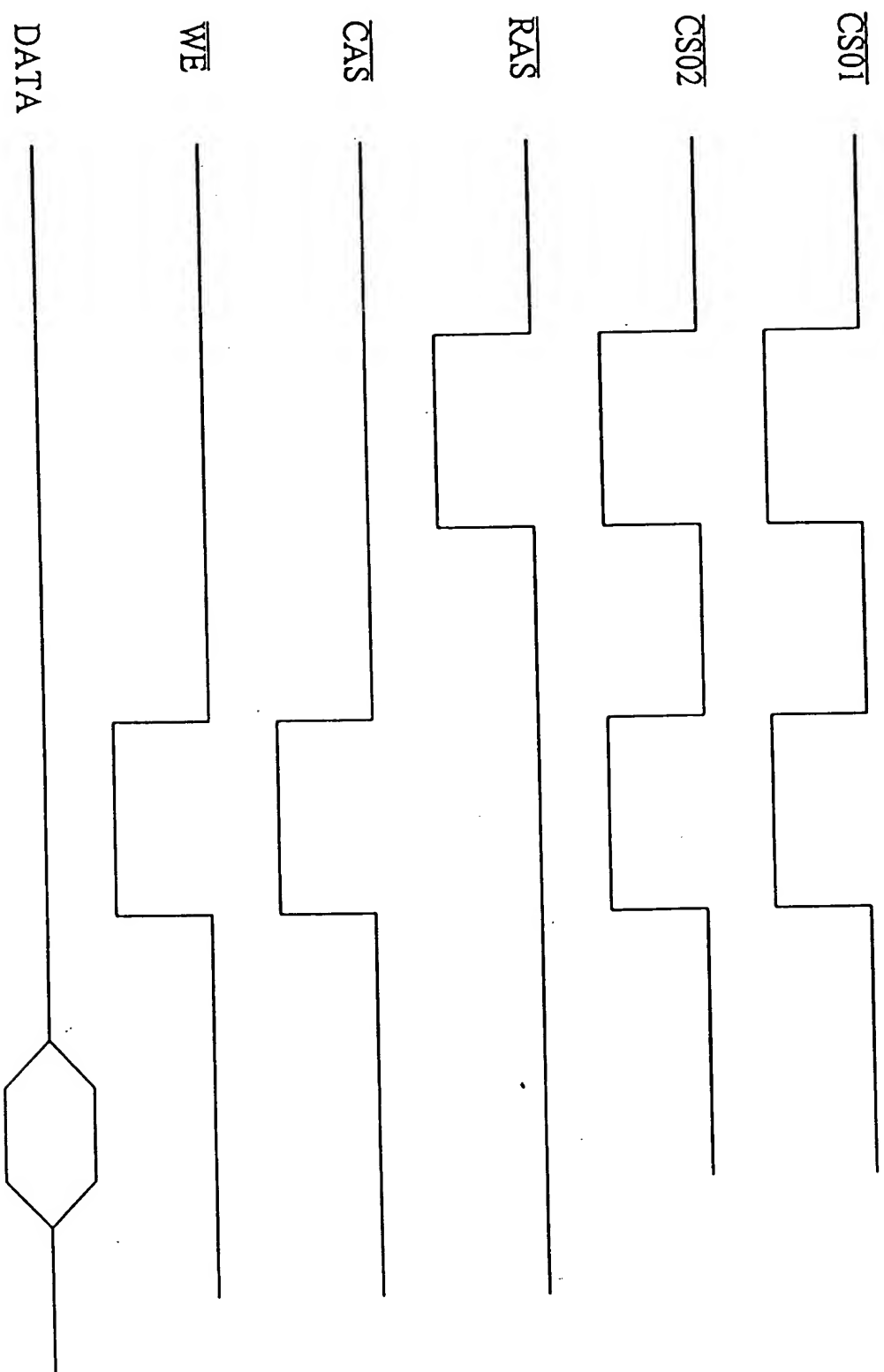
第 1 圖



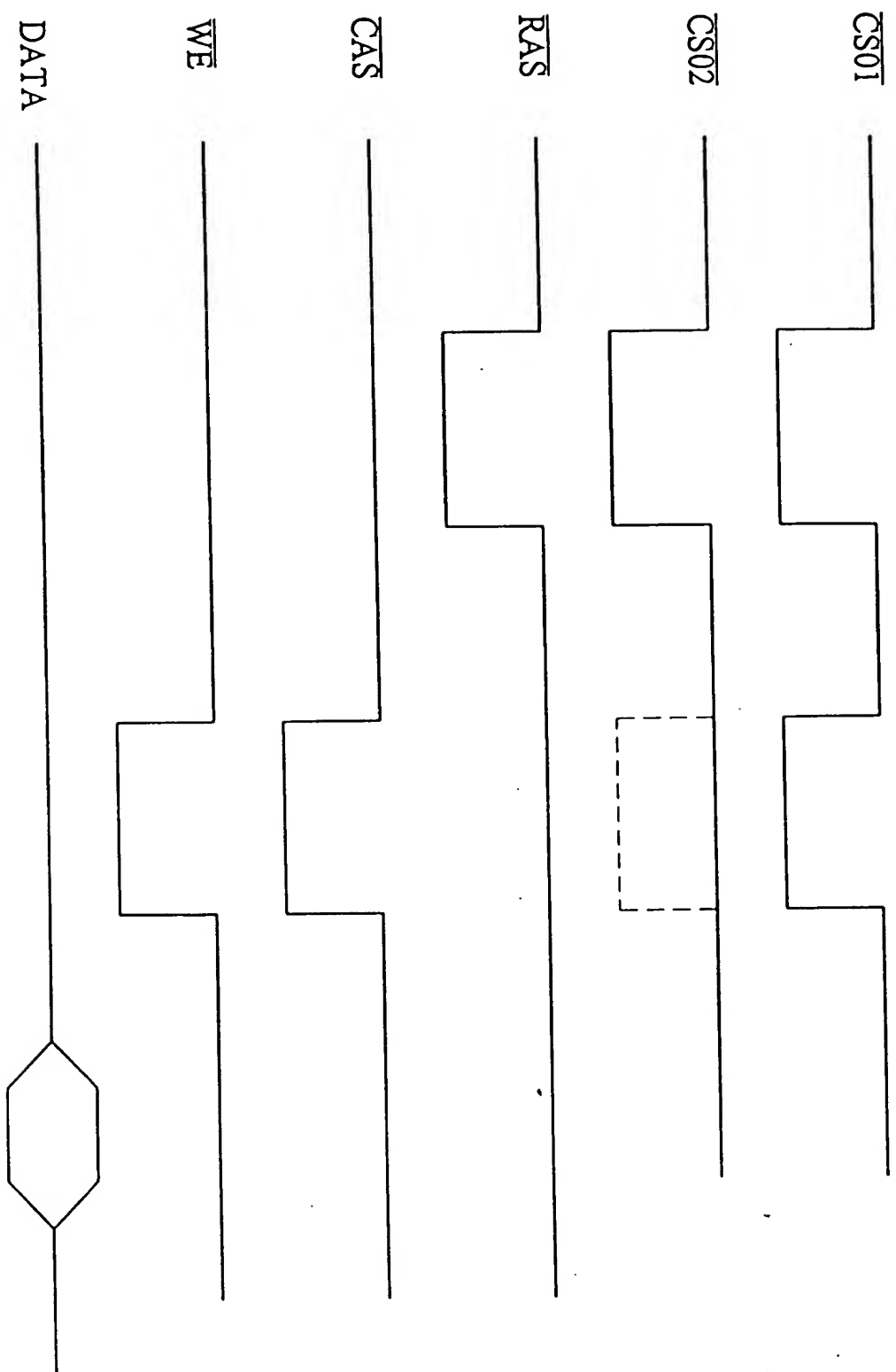
第 2 圖



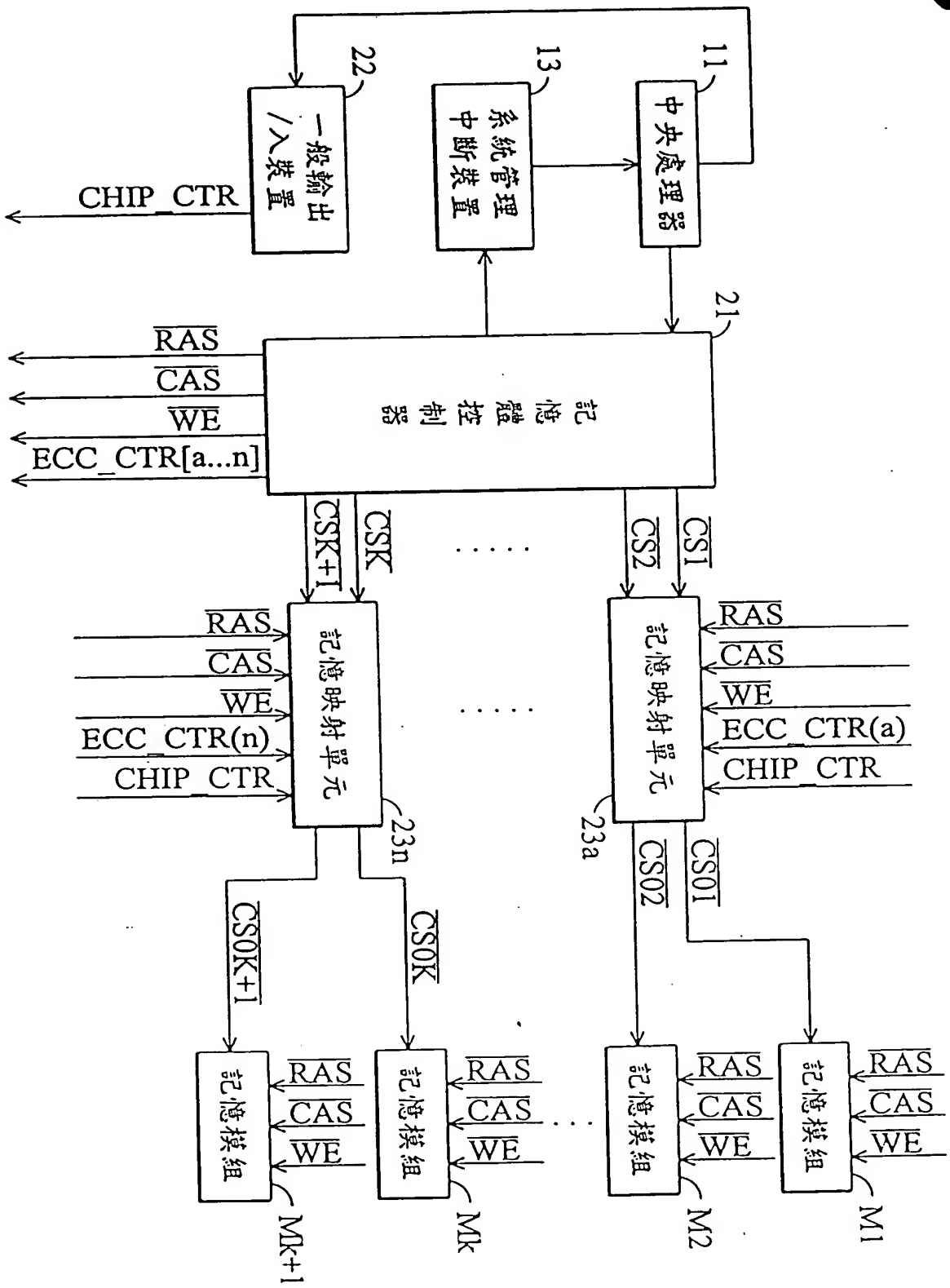
第 3 圖



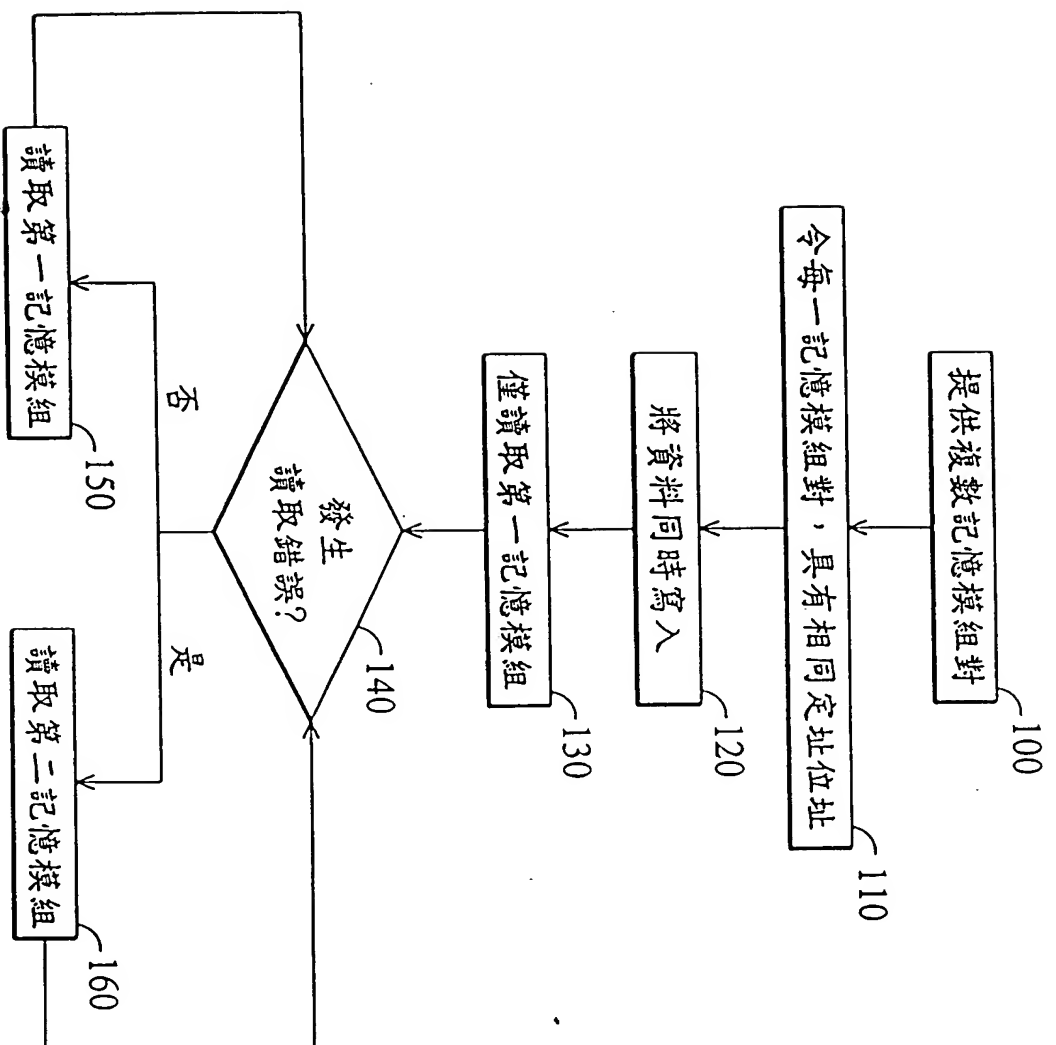
第 4 圖



第 5 圖



第 6 圖

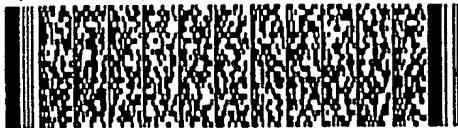


第 7 圖

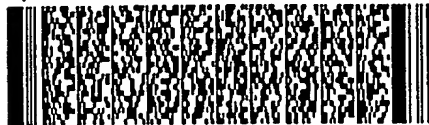
第 1/22 頁



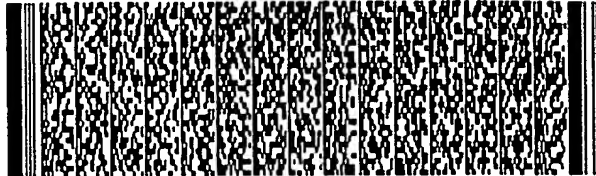
第 2/22 頁



第 3/22 頁



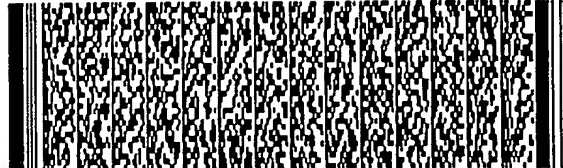
第 4/22 頁



第 5/22 頁



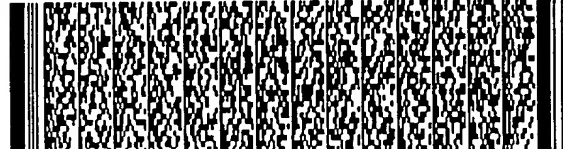
第 6/22 頁



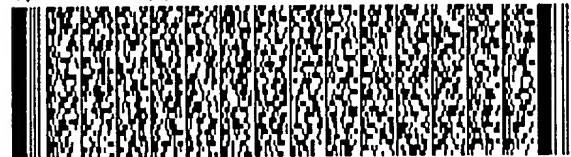
第 6/22 頁



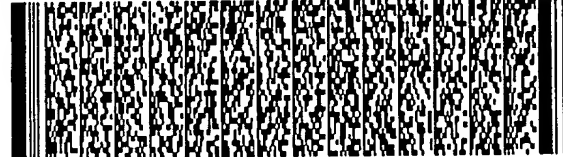
第 7/22 頁



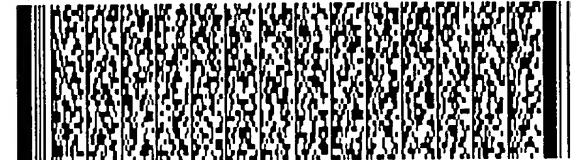
第 7/22 頁



第 8/22 頁



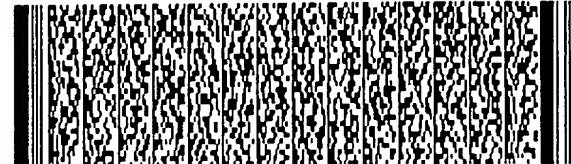
第 8/22 頁



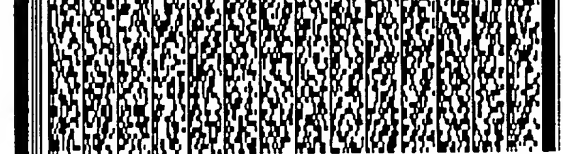
第 9/22 頁



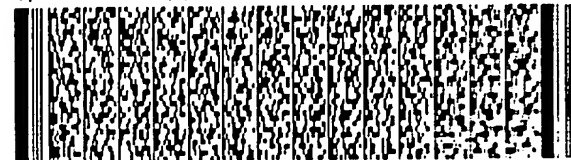
第 9/22 頁



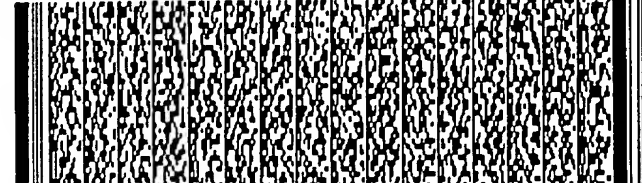
第 10/22 頁



第 10/22 頁

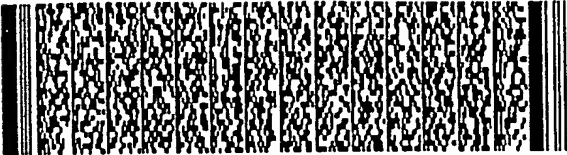


第 11/22 頁





第 12/22 頁



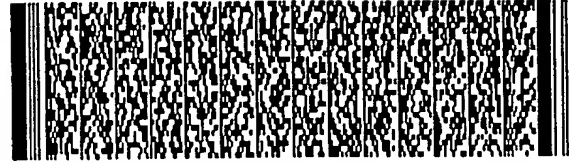
第 12/22 頁



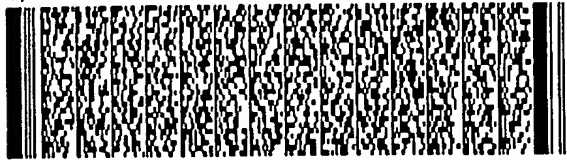
第 13/22 頁



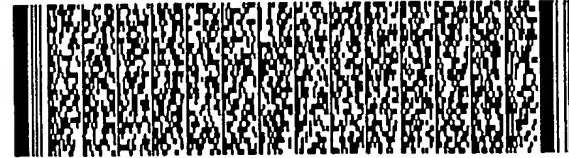
第 13/22 頁



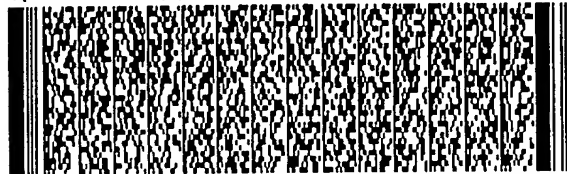
第 14/22 頁



第 14/22 頁



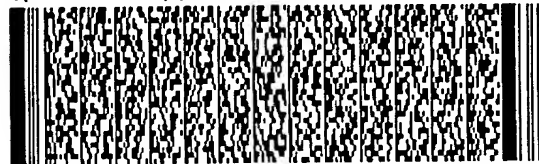
第 15/22 頁



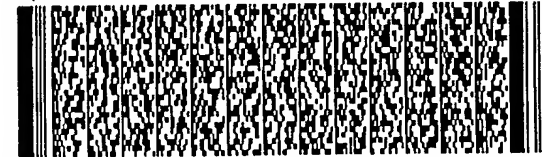
第 16/22 頁



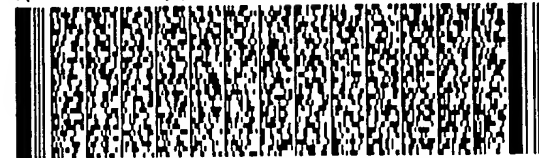
第 16/22 頁



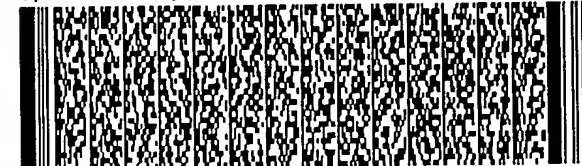
第 17/22 頁



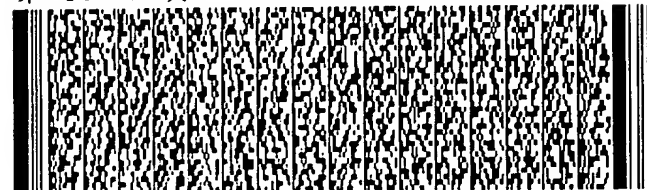
第 17/22 頁



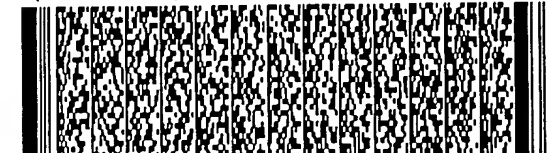
第 18/22 頁



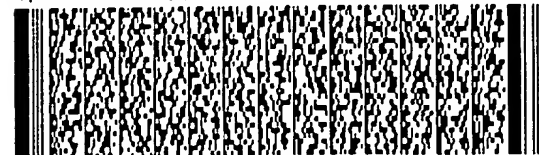
第 19/22 頁



第 20/22 頁



第 20/22 頁



第 21/22 頁



